

19. Japan Patent Office (JP)**12. Laid-open Patent Gazette (A)****11. Laid-open Patent Application No. Sho 60-80193**

51.Int. Cl.⁴ ID No. Office Control No.
G 11 C 7/00 6549-5B

43. Date Published: May 8, 1985

Examination Not Requested Yet

Number of Inventions: 1 (Total 5 pages in original)

54. Title of Invention: Memory System

21. Application Number: Sho 58-186919

22. Application Date: October 7, 1983

72. Inventor: Jun Hasegawa
c/o Hitachi Microcomputer Engineering Co., Ltd.
1479 Jyosuihoncho, Kodaira-City

72. Inventor: Kazuhiko Honma
c/o Hitachi, Ltd., Musashi Plant
1450 Jyosuihoncho, Kodaira-City

71. Applicant: Hitachi Microcomputer Engineering Co., Ltd.
1479 Jyosuihoncho, Kodaira-City

71. Applicant: Hitachi, Ltd.
4-6 Kanda-Surugadai, Chiyoda-ku, Tokyo

74. Agent: Akio Takahashi, Patent Attorney (and one other)

SPECIFICATION

TITLE OF THE INVENTION

Memory System

CLAIMS

- (1) A memory system, comprising a plurality of storage device blocks with different operating times, an address decoder that receives system address signals and detects access to said storage device blocks, a counting circuit that sets an initial value equivalent to the access time in the storage device block corresponding to the address decoder's output signal and that measures time using a specified pulse signal, and a timing control circuit that sets writing or reading operating time for the storage device block according to the counting circuit's output signal.
- (2) The memory system set forth in claim 1, wherein said counting circuit comprises a shift register.
- (3) The memory system set forth in claim 1 or claim 2, wherein said timing control circuit forms a timing signal that takes the read output signal into a latch circuit and an operation end signal sent to a central processing device.

DETAILED DESCRIPTION OF THE INVENTION

Technical Field

The present invention pertains to a memory system, for example, to a technique for effective timing control of a memory system comprising a storage device block using high-speed storage devices and a storage device block using low-speed storage devices.

Prior Art

For example, if a single memory system comprises a plurality of storage device blocks with different operating times, such as high-speed RAM (random access memory), low-speed RAM, or ROM (read only memory), the operating time is different for each storage device block, so the following sorts of problems occur in timing control thereof. If all of the storage device blocks are controlled with a single timing, all of the storage device blocks are operated according to the timing of the slowest storage device block. On the other hand, if each storage device block is accessed with the optimal timing by providing them with individual timing generation circuits, this leads to the problem that timing control circuit becomes complex and the number of constituent components increases.

Object of the Invention

The object of the present invention is to provide a memory system that can access a plurality of storage device blocks with different operating speeds based on their respective optimal timing by means of a simple constitution.

The aforesaid and other objects of the present invention and its novel features shall become clear from the description in this specification and from the drawings.

Summary of the Invention

Of the inventions disclosed in this application, a summary of a representative one can be simply explained as follows. That is, it receives a system address signal and detects access to storage device blocks with different operating speeds, and sets an initial value equivalent to the access time in the storage device block corresponding to the output signal, and sets the writing or reading time for each storage device block according to the output signal from a counting circuit which measures time using a specified pulse signal.

Working Example

FIG. 1 is a block diagram of one working example of the present invention. The memory system in this working example is not particularly restricted, but the example described is one that uses two types of storage devices: high-speed storage device 6 and low-speed storage device 7.

In this working example, timing control of the aforesaid storage devices 6 and 7 is performed by a timing control circuit as follows. That is, access to one of two types of memory device 6 or 7 is detected by address decoder 1 receiving a system address signal from address bus AB. This detection output m1 and m2 is used as selection signals for selector 4. Selector 4 selects storage means 2 and 3, which are holding initial values T1 and T2, and supplies initial values T1 or T2 to shift register 5. Shift register 5 loads the aforesaid initial values T1 or T2 according to timing signal $\phi 1$ formed by the aforesaid address decoder 1. This is not particularly restricted, but shift register 5 comprises a 10-bit shift register. Output signal D7~D10, which is the seventh through tenth bits of shift register 5, is then supplied to a timing detection circuit constituted using the AND gate circuits G1~G4.

That is, seventh bit signal D7 is inverted by inverter circuit IV1, and is supplied with eighth bit signal D8 as input to AND gate circuit G4. AND gate circuit G4's output signal is used as a strobe signal for latch register 8, which receives read output signal D_{out} from storage device 6 or 7. The aforesaid address decoder 1's output signal m1 and shift register 5's eighth bit signal D8 are supplied as input to AND gate circuit G2. AND gate circuit G2's output signal CS1 is used as a chip selection signal for high-speed storage device 6. The aforesaid address decoder circuit 1's output signal m2 and shift register 5's eighth bit signal D8 are supplied as input to AND gate circuit G3. AND gate circuit G3's output signal CS2 is used as a chip selection signal for low-speed storage device 7. Also, shift register 5's ninth bit signal D9 is inverted by inverter circuit IV2 and is supplied with tenth bit signal D10 as input to AND gate circuit G1. AND gate circuit G1's output signal is used as operation end signal ACK sent to a central processing unit (CPU) not shown in the drawing.

Meanwhile, the storage device side controlled by the aforesaid timing control circuit is connected to data bus DB via bidirectional buffer 9, which is connected to storage devices 6 and 7's data input D_{in} and data output D_{out} via the aforesaid latch

register 8. Furthermore, address signals are supplied to the storage devices 6 and 7 from address bus AB (not shown in drawing).

Next, the operation of the memory system in this working example shall be described according to the timing diagrams of FIG. 2 and FIG. 3.

FIG. 2 shows a timing diagram when accessing low-speed storage device 7 (M2). This working example is not particularly restricted, but 011111100 is held in storage means 3 as its initial value T2. Therefore, when a system address signal to select storage device 7 is supplied to address decoder 1, its output signal m2 is formed, and via selector 4 the aforesaid initial value T2 is supplied to shift register 5. Then the aforesaid initial value T2 is taken into shift register 5 in sync with load signal $\phi 1$ formed by output signal m2 and clock ϕ . Therefore the seventh and eighth bit signals D7 and D8 become 1 per the timing of the first clock ϕ , and the remaining ninth and tenth bit signals D9 and D10 become 0. This sort of initial value T2 is sequentially shifted to the right, one bit at a time, according to clock ϕ . Signals D9 and D10 sequentially become 1, each delayed one clock by the shift operation. Also, when the seventh clock ϕ arrives, first bit 0 in initial value T2 is shifted to the seventh bit, so signal D7 becomes 0. Subsequently, signals D8-D10 also sequentially change to 0, each delayed by one clock.

Through the aforesaid shift operation of shift register 5, storage device 7 (M2) is selected by the output signal CS2 of AND gate circuit G3, which receives the aforesaid address decoder 1's output signal m2 selection signal (logical "1") and the aforesaid eighth bit signal D8. Then, when signal D7 changes to 0 (low level), strobe signal $\phi 2$ is formed, so if it's a read operation read signal D_{out} from storage device 7 is taken into latch register 8. In addition, signal D9, delayed by two clocks, becomes 0, so the operation end signal ACK is sent by AND gate circuit G1 and access ends. That is, central processing unit CPU not shown in the drawing receives the aforesaid operation end signal ACK, and receives the aforesaid read data D_{out} via the bidirectional buffer. Furthermore, if it's a write operation, input data D_{in} is supplied to storage device 7 during the aforesaid chip selection interval CS2, and [the CPU] waits for transfer of operation end signal ACK in the same manner as noted above to end the operation.

FIG. 3 is a timing diagram when accessing high-speed storage device 6 (M1). This working example is not particularly restricted, but 0000011100 is held in storage means 2 as its initial value T1. Therefore, when a system address signal to select storage device 6 is supplied to address decoder 1, its output signal m1 is formed, and via selector 4 the aforesaid initial value T1 is supplied to shift register 5. Then the aforesaid initial value T1 is taken into shift register 5 in sync with load signal $\phi 1$ formed by output signal m1 and clock ϕ . Therefore the seventh and eighth bit signals D7 and D8 become 1 per the timing of the first clock ϕ , and the remaining ninth and tenth bit signals D9 and D10 become 0. This sort of initial value T1 is sequentially shifted to the right, one bit at a time, according to clock ϕ . Signals D9 and D10 sequentially become 1, each delayed one clock by the shift operation. Also, when the third clock ϕ arrives, fifth bit 0 in initial value T1 is shifted to the seventh bit, so signal D7 becomes 0. Subsequently, signals D8-D10 also sequentially change to 0, each delayed by one clock.

Through the aforesaid shift operation of shift register 5, storage device 6 (M1) is selected by the output signal CS1 of AND gate circuit G3, which receives the aforesaid

address decoder circuit 1's output signal m1 selection signal (logical "1") and the aforesaid eighth bit signal D8. Then, when signal D7 changes to 0 (low level), strobe signal $\phi 2$ is formed, so if it's a read operation read signal D_{out} from storage device 6 is taken into latch register 8. In addition, signal D9, delayed by two clocks, becomes 0, so the operation end signal ACK is sent by AND gate circuit G1 and access ends. That is, central processing unit CPU not shown in the drawing receives the aforesaid operation end signal ACK, and receives the aforesaid read data D_{out} via the bidirectional buffer. Furthermore, if it's a write operation, input data D_{in} is supplied to storage device 6 during the aforesaid chip selection interval CS1, and [the CPU] waits for transfer of operation end signal ACK in the same manner as noted above to end the operation.

Through the aforesaid operation low-speed storage device 7 operates for an interval of seven clocks ϕ , and high-speed storage device 6 operates for an interval of three clocks ϕ . Therefore in this working example the memory device operating time can be made consistent using one cycle of the aforesaid clock ϕ and the number of clocks. Setting this sort of operating time (access time) is easy to do by setting the aforesaid initial value.

Effect

(1) Using a single timing control circuit comprising simple circuits such as an address decoder, shift register, selector, and gate circuit, it is possible to obtain a memory system, comprising a plurality of storage devices with different operating times, that can operate based on cycles corresponding to the operating time for each storage device.

(2) Timing can be controlled using simple circuits as in (1) above, so the failure rate of the overall memory system can be reduced.

(3) The number of constituent components of the timing control circuit is reduced as in (1) above, so it is possible to obtain an inexpensive memory system.

(4) Each storage device can be accessed at its optimal operating cycle by using (1) above, so there are no inefficiencies in memory access. Therefore it is possible to rationalize storage information input and output.

The invention created by the inventors was described in specifics based on the working example presented above, but the present invention is in no way restricted to the aforesaid working example; various modifications can be practiced without departing from its essence. For example, timing can be controlled for three or more types of storage devices according to their respective operating times in the same manner as noted above by adding storage means for holding the aforesaid initial values and gate circuits. Also, a time measuring (pulse counting) circuit such as a programmable counter or the like may be used as the circuit that sets time according to the operating time of each storage device instead of the aforesaid shift register.

In addition, the structure of the specific circuits of each circuit block can take various configurations.

Field of Utilization

The present invention is widely used in memory systems comprising a plurality of storage devices with different operating speeds.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a block diagram showing one working example of a memory system in accordance with the present invention.

FIG. 2 is a timing diagram for explaining timing control of a low-speed storage device.

FIG. 3 is a timing diagram for explaining timing control of a high-speed storage device.

- 1 Address decoder
- 2,3 Storage means
- 4 Selector
- 5 Shift register
- 6 High-speed storage device
- 7 Low-speed storage device
- 8 Latch register
- 9 Bidirectional buffer

Agent: Akio Takahashi, patent agent [seal]

FIG. 1

- 1 Decoder
- 4 Selector
- 5 Shift register
- 6 High-speed memory
- 7 Low-speed memory
- 8 Buffer

FIG. 2**FIG. 3**

⑩ 日本国特許庁 (J P) ⑪ 特許出願公開
 ⑫ 公開特許公報 (A) 昭60-80193

⑬ Int. Cl.⁴
 G 11 C 7/00

識別記号 庁内整理番号
 6549-5B

⑭ 公開 昭和60年(1985)5月8日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 メモリシステム

⑯ 特 願 昭58-186919

⑰ 出 願 昭58(1983)10月7日

⑱ 発 明 者 長 谷 川 淳

小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑲ 発 明 者 本 間 和 彦

小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑳ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社

小平市上水本町1479番地

㉑ 出 願 人 株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 高橋 明夫

外1名

明 細 書

発明の名称 メモリシステム

特許請求の範囲

1. 動作時間の異なる複数の記憶装置ブロックと、システムアドレス信号を受けて上記記憶装置ブロックに対するアクセスを送出するアドレスデコードと、このアドレスデコードの出力信号によって対応する記憶装置ブロックにおけるアクセス時間に相当する初期値が設定され、所定のパルス信号により時間計動動作を行う計数回路と、この計数回路の出力信号により記憶装置ブロックに対する読み込み又は読み出しの動作時間の設定を行うタイミング制御回路とを含むことを特徴とするメモリシステム。
2. 上記計数回路は、シフトレジスタにより構成されるものであることを特徴とする特許請求の範囲第1項記載のメモリシステム。
3. 上記タイミング制御回路は、読み出し出力信号をラッチ回路に取り込むタイミング信号と、中央処理装置に送出する動作終了信号とを形成する

ものであることを特徴とする特許請求の範囲第1又は第2項記載のメモリシステム。

発明の詳細な説明

(技術分野)

この発明は、メモリシステムに関するもので、例えば、高速記憶装置を用いた記憶装置ブロックと低速記憶装置を用いた記憶装置ブロックとにより構成されたメモリシステムのタイミング制御に有効な技術に関するものである。

(技術背景)

例えば、高速RAM (ランダム・アクセス・メモリ)、低速RAMあるいはROM (リード・オンリー・メモリ) のようにそれぞれの動作時間が異なる複数の記憶装置ブロックによって1つのメモリシステムを構成する場合、各記憶装置ブロック毎での動作時間が異なるものであるため、そのタイミング制御に次のような問題が生じる。単一のタイミングにより全記憶装置ブロックの制御を行うと、最も低速の記憶装置ブロックの動作タイミングによって全記憶装置ブロックが動作させる

れてしまう。一方、それぞれの記憶装置ブロックに対して個別にタイミング発生回路を設けることによって、それぞれを最適なタイミングのもとにアクセスしようとする、タイミング制御回路が複雑になり、部品点数が増加するという問題が生じる。

(発明の目的)

この発明の目的は、簡単な構成により動作時間の異なる複数の記憶装置ブロックをそれぞれ最適なタイミングのもとにアクセスすることが出来るメモリシステムを提供することにある。

この発明の簡記ならびにその他の目的と新規な特徴は、この明細書の記述および添付図面から明らかになるであろう。

(発明の概要)

本願において開示される発明のうち代表的なものの特徴を簡単に説明すれば、下記の通りである。すなわち、システムアドレス番号を受けて動作時間の異なる記憶装置ブロックに対するアクセスを演出し、この出力番号によって対応する記憶装置

ブロックにおけるアクセス時間に対応する初期値が設定され、所定のパルス番号により時間計測動作を行う計数回路の出力番号により各記憶装置ブロックに対する書き込み又は読み出しの動作時間の設定を行うようにするものである。

(実施例)

第1図には、この発明の一実施例のブロック図が示されている。この実施例のメモリシステムにおいては、特に制限されないが、高速記憶装置6と低速記憶装置7の2種類の記憶装置を用いた場合を例にして説明する。

この実施例では、次のようなタイミング制御回路によって上記記憶装置6、7のタイミング制御が行われる。すなわち、アドレスバスABからのシステムアドレス番号を受けるアドレスデコーダ1によって上記2種類のメモリ装置6、7のいずれに対するアクセスかを検出する。この検出出力m1、m2は、セレクト4の選択信号として利用される。このセレクト4は、初期値T1、T2を保持している記憶手段2、3を選択して、シフト

レジスタ5に初期値T1又はT2を供給する。シフトレジスタ5には、上記アドレスデコーダ1によって形成されたタイミング信号φ1により上記初期値T1又はT2がロードされる。特に制限されないが、このシフトレジスタ5は、10ビットのシフトレジスタにより構成される。このシフトレジスタ5の第7ビットから第10ビット目の出力信号D7〜D10が次のANDゲート回路C1〜C4によって形成されたタイミング検出回路に供給される。

すなわち、第7ビット目の信号D7は、インバータ回路IV1によって反転され、第8ビット目の信号D8とともにANDゲート回路C4の入力に供給される。このANDゲート回路C4の出力信号は、記憶装置6又は7の読み出し出力信号Doutを受け取るラッチレジスタ8のストローブ信号として使用される。上記アドレスデコーダ1の出力信号m1とシフトレジスタ5の第9ビット目の信号D9とは、ANDゲート回路C2の入力に供給される。このANDゲート回路C2の出力信号

CS1は、高速記憶装置6のチップ選択信号として使用される。上記アドレスデコーダ1の出力信号m2とシフトレジスタ5の第8ビット目の信号D8とは、ANDゲート回路C3の入力に供給される。このANDゲート回路C3の出力信号CS2は、低速記憶装置7のチップ選択信号として使用される。また、シフトレジスタ5の第9ビット目の信号D9は、インバータ回路IV2により反転され、第10ビット目の信号D10とともにANDゲート回路C1の入力に供給される。このANDゲート回路C1の出力信号は、図示しない中央処理装置(CPU)に送出する動作終了信号ACKとして使用される。

一方、上記タイミング制御回路によって制御される記憶装置6、7は、各記憶装置6、7のデータ入力Diと上記ラッチレジスタ8を介したデータ出力Doutとは、双方両バッファ9を介してデータバスDBに接続される。なお、各記憶装置6、7には、アドレスバスABからのアドレス番号が供給されるものである(図示せず)。

次に、この実施例のメモリシステムの動作を第2図及び第3図のタイミング図に従って説明する。

第2図には、低速記憶装置7(M2)に対してアクセスを行った場合のタイミング図が示されている。この実施例では、特に制限されないが、その初期値T2として0111111100が記憶手段3に保持されている。したがって、記憶装置7を選択するようなシステムアドレス信号がアドレスデコード1に供給されると、その出力信号m2が形成されてセレクト4を介して上記初期値T2がシフトレジスタ5に供給される。そして、この出力信号m2とクロックφとで形成されたローフ信号φ1に同期して、上記初期値T2がシフトレジスタ5に取り込まれる。したがって、第1個目のクロックφのタイミングでは、第7、8ビット目の信号D7、D8とが1となり、残り第9、10ビット目の信号D9、D10は0となる。このような初期値T2は、クロックφに従って順次1ビットずつ右側にシフトされる。このシフト動作により1クロックずつ遅れて信号D9、D10

が順次1になる。また、7個目のクロックφが到来したとき、初期値T2における第1ビット目の0が第7ビット目にシフトされてくるので信号D7が0になる。以後、1クロックずつ遅れて信号D8~D10も順次0に変化する。

以上のシフトレジスタ5のシフト動作により、上記アドレスデコード1の出力信号m2の選択信号(論理"1")と、上記第8ビット目の信号D8を受けるANDゲート回路G3の出力信号CS2により記憶装置7(M2)が選択状態にされる。そして、信号D7が0(ロウレベル)に変化するとき、ストローブ信号φ2が形成されるので、読み出し動作であれば記憶装置7からの読み出し信号Dout1がラッチレジスタ8に取り込まれる。さらに、2クロック分遅れて信号D9が0になるので、ANDゲート回路G1により動作終了信号ACKが送出されてそのアクセスが終了する。すなわち、図示しない中央処理装置CPUは、上記動作終了信号ACKを受けて、上記読み出されたデータDout1を双方向バッファを介して受け取るも

のである。なお、書き込み動作であれば、上記チップ選択期間CS2の間に入力データDinを記憶装置7に供給し、上記同様な動作終了信号ACKの返送を待って動作を終了させるものである。

第3図には、高速記憶装置6(M1)に対してアクセスを行った場合のタイミング図が示されている。この実施例では、特に制限されないが、その初期値T1として0000011100が記憶手段3に保持されている。したがって、記憶装置6を選択するようなシステムアドレス信号がアドレスデコード1に供給されると、その出力信号m1が形成されてセレクト4を介して上記初期値T1がシフトレジスタ5に供給される。そして、この出力信号m1とクロックφとで形成されたローフ信号φ1に同期して、上記初期値T1がシフトレジスタ5に取り込まれる。したがって、第1個目のクロックφのタイミングでは、第7、8ビット目の信号D7、D8とが1となり、残り第9、10ビット目の信号D9、D10は0となる。このような初期値T1は、クロックφに従って順次

1ビットずつ右側にシフトされる。このシフト動作により1クロックずつ遅れて信号D9、D10が順次1になる。また、3個目のクロックφが到来したとき、初期値T1における第3ビット目の0が第7ビット目にシフトされてくるので信号D7が0になる。以後、1クロックずつ遅れて信号D8~D10も順次0に変化する。

以上のシフトレジスタ5のシフト動作により、上記アドレスデコード1の出力信号m1の選択信号(論理"1")と、上記第8ビット目の信号D8を受けるANDゲート回路G3の出力信号CS1により記憶装置6(M1)が選択状態にされる。そして、信号D7が0(ロウレベル)に変化するとき、ストローブ信号φ2が形成されるので、読み出し動作であれば記憶装置6からの読み出し信号Dout1がラッチレジスタ8に取り込まれる。さらに、2クロック分遅れて信号D9が0になるので、ANDゲート回路G1により動作終了信号ACKが送出されてそのアクセスが終了する。すなわち、図示しない中央処理装置CPUは、上

記憶動作終了信号ACKを受けて、上記読み出されたデータDataを双方向バッファを介して受け取るものである。なお、書き込み動作であれば、上記チップ選択期間CS1の間に入力データDiを記憶装置6に供給し、上記同様な動作終了信号ACKの転送を持って動作を終了させるものである。

以上の動作により、低速記憶装置7は、クロックφが1個分の期間動作状態にされ、高速記憶装置8は、クロックφが3個分の期間動作状態にされる。したがって、この実施例では、上記クロックφの1周期とクロックφの数とによりメモリ装置の動作時間と一致させるものである。このような動作時間（アクセスタイム）の設定は、上記初期値の設定により簡単に実現できるものである。（効果）

(1) アドレスデコード、シフトレジスタ、セレクト及びゲート回路のような簡単に回路により構成された単一のタイミング制御回路によって、その動作時間の異なる複数の記憶装置からなり、各記憶装置の動作時間に応じたタイトルのもとに動作さ

せることができるメモリシステムを得ることができるという効果が得られる。

(2) 上記(1)により簡単な回路によりタイミング制御を行うことができるから、メモリシステム全体の故障率を減少させることができるという効果が得られる。

(3) 上記(1)によりタイミング制御回路の構成部品点数が少なくてすむから、低価格のメモリシステムを得ることができるという効果が得られる。

(4) 上記(1)により、各記憶装置を共通動作サイクルでアクセスすることができるから、メモリアクセス時間に無駄が生じない。したがって、記憶情報の入出力を合理的に行うことができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、3種類以上の記憶装置に対しては、上記初期値を保持する記憶手段と、ゲート回路を

追加することによって上記同様にそれぞれの動作時間に応じたタイミング制御を行うことができる。また、各記憶装置の動作時間に応じた時間設定を行う回路は、上記シフトレジスタに代入プログラマブルカウンタ等のような時間計測（パルス計数）回路を用いるものであってもよい。

さらに、各回路ブロックの具体的な回路の構成は、図々の実施形態を述べることができるものである。

（利用分野）

この発明は、動作時間の異なる複数の記憶装置からなるメモリシステムに広く利用できるものである。

図面の簡単な説明

第1図は、この発明に係るメモリシステムの一実施例を示すブロック図。

第2図は、低速記憶装置のタイミング制御を説明するためのタイミング図。

第3図は、高速記憶装置のタイミング制御を説明するためのタイミング図である。

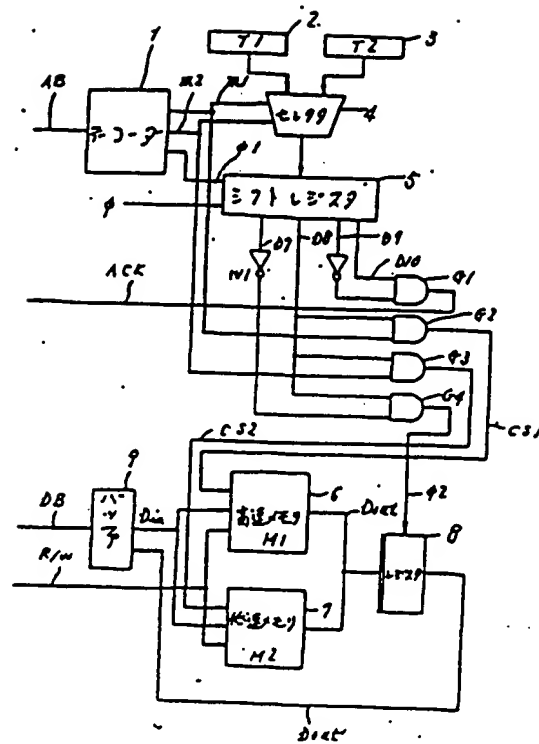
1・・・アドレスデコード、2、3・・・記憶手段、

4・・・セレクト、5・・・シフトレジスタ、6・・・高速記憶装置、7・・・低速記憶装置、8・・・ラッチレジスタ、9・・・双方向バッファ

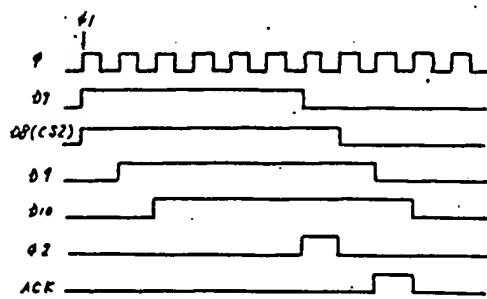
代理人弁護士 高橋 明夫



第 1 图



第 2 图



第 3 图

